

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-120133

(43)Date of publication of application : 18.05.1993

(51)Int.Cl.

G06F 12/08

(21)Application number : 03-282777

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.10.1991

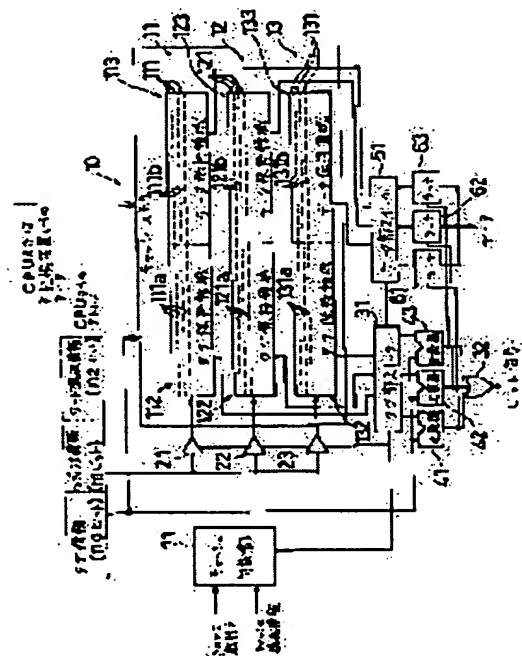
(72)Inventor : NISHIKAWA YUKINOBU

(54) CACHE DEVICE

(57)Abstract:

PURPOSE: To decrease memory traffic by reducing generation frequency of a mishit, and to execute an access at a remarkably high speed, even in the case context switching is executed, etc.

CONSTITUTION: A cache control part 71 executes mapping with a direct map system by setting one of cache arrays 11-13 to a cache operating state in accordance with cache constituting information, and also, executes control for switching the cache arrays 11-13 for setting to the cache operating state at the time of context switching, or executes control for mapping with a two-way set associative system for setting simultaneously the cache arrays 11, 12 to the cache operating state, or executes control for mapping with a three-way set associative system for setting simultaneously the cache arrays 11-13 to the cache operating state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-120133

(43)公開日 平成5年(1993)5月18日

(51) Int. Cl. ³

G O 6 F 12/08

識別記号

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数 4

(全8頁)

(21)出願番号 特願平3-282777

(22)出願日 平成3年(1991)10月29日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 西川 幸伸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

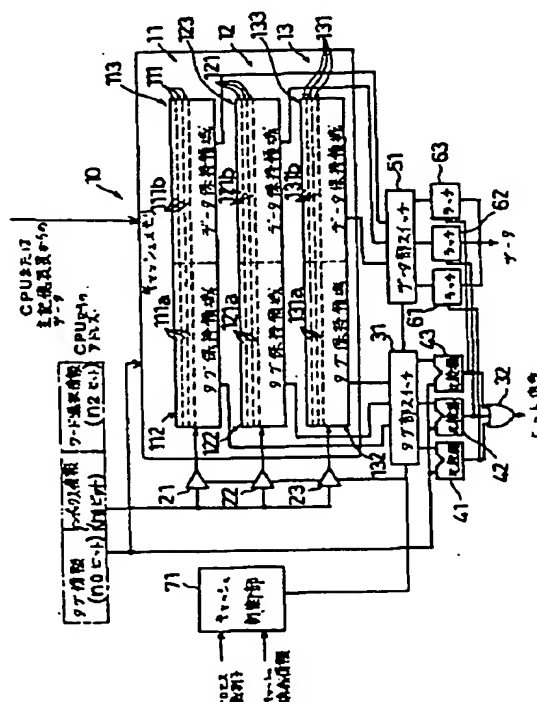
(74) 代理人 弁理士 中島 司朗

(54) 【発明の名称】 キヤツシユ装置

(57) 【要約】

【目的】 コンテキストスイッチングが行われる場合などでも、ミスヒットの発生頻度を低減してメモリトラフィックを減少させ、アクセスの大幅な高速化を図ることができるキャッシュ装置を提供する。

【構成】 キャッシュ制御部 71 は、キャッシュ構成情報に応じて、キャッシュアレイ 11～13 のうちの何れか 1 つをキャッシュ動作状態にしてダイレクトマップ方式でマッピングするとともにコンテキストスイッチング時にキャッシュ動作状態にするキャッシュアレイ 11～13 を切り換える制御を行うか、または、キャッシュアレイ 11・12 を同時にキャッシュ動作状態にする 2 ウェイセットアソシアティブ方式でマッピングする制御を行うか、または、キャッシュアレイ 11～13 を同時にキャッシュ動作状態にする 3 ウェイセットアソシアティブ方式でマッピングする制御を行う。



【特許請求の範囲】

【請求項1】 主記憶装置に格納されるデータの一部を保持し、主記憶装置に代えて高速なアクセスが行われるキャッシュ装置において、

主記憶装置に格納されるデータを、その格納領域のアドレスの少なくとも一部とともに保持する複数のエン트리と、

前記エントリを複数のグループにグループ分けし、何れかのエントリグループを選択的にキャッシュ動作状態にする制御手段とを備えたことを特徴とするキャッシュ装置。

【請求項2】 前記制御手段は、コンテキストスイッチングの発生時に、キャッシュ動作状態にするエントリグループを切り換えるように構成されていることを特徴とする請求項1のキャッシュ装置。

【請求項3】 前記制御手段は、さらに、同時にキャッシュ動作状態になるエントリグループの数を変更して、主記憶装置とエントリとのマッピング方式を切り換えるように構成されていることを特徴とする請求項1のキャッシュ装置。

【請求項4】 前記制御手段は、マッピング方式を、1つのエントリグループだけがキャッシュ動作状態になるダイレクトマップ方式と、複数のエントリグループが同時にキャッシュ動作状態になるセットアソシアティブ方式とに切り換えるように構成されていることを特徴とする請求項3のキャッシュ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、CPUによるメモリアクセスの高速化を図るためのキャッシュ装置に関するものである。

【0002】

【従来の技術】 一般にCPUの内部処理速度に比べて、主記憶装置へのアクセス速度は数倍から十数倍遅く、処理に必要な命令やデータを命令の実行ごとに読み出していたのでは、命令の高速処理は望めない。そこで、従来より、例えば長島・堀越著「キャッシュ記憶」（情報処理、vol. 21、No. 4、1980）に示されているように、主記憶装置の記憶内容の一部を、記憶容量は小さいが高速なアクセスが可能なメモリ（キャッシュメモリ）に保持させることにより、見かけ上のメモリアクセスを高速化して処理の高速化を図るキャッシュ装置が用いられている。

【0003】 この種のキャッシュ装置では、高速化の程度は、アクセスするデータがキャッシュメモリに保持されている確率に応じて定まる。すなわち、アクセスするデータがキャッシュメモリに保持されていない（ミスヒットした）場合には、主記憶装置に対してアクセスすることになるので、メモリトラヒックの増大を招き、高速化の程度が低くなる。

【0004】 そこで、一般に後にアクセスされたデータほど再度アクセスされる可能性が高いことを利用して、ミスヒットにより主記憶装置へのアクセスを行った場合に、そのアクセスされたデータをすでにキャッシュメモリに保持されている他のデータと置き換えて保持させるようになっている。

【0005】

【発明が解決しようとする課題】 ところで、近年、CPUの処理能力の向上やデータ処理装置の使用形態の多様化などに伴い、実行されるプログラムをコンテキストスイッチングによって順次切り換えることにより、1つのCPUで見かけ上複数のプログラムを同時に実行させることができる、いわゆるマルチタスクシステムが多く用いられている。

【0006】 しかしながら、従来のキャッシュ装置は、上記のようなコンテキストスイッチングが頻繁に行われる場合などには、その効果がほとんど得られないという問題点を有していた。すなわち、コンテキストスイッチングが発生すると、その時点でキャッシュメモリに保持されているデータは、ほとんど、コンテキストスイッチング前の処理でアクセスされたデータなので、コンテキストスイッチング後には、ミスヒットが頻発してメモリトラヒックが増大し、アクセスが高速化されない。

【0007】 特に、論理アドレスをタグとしてマッピングがなされる場合には、コンテキストスイッチングが行われると、その前後でアドレスとデータとの対応関係が異なることになるので、キャッシュメモリに保持されているデータを全て無効にする必要がある。それゆえ、コンテキストスイッチング後の新たなデータのアクセスは常にミスヒットとなり、アクセスが全く高速化されない。

【0008】 本発明は上記の点に鑑み、コンテキストスイッチングが行われる場合などでも、ミスヒットの発生頻度を低減してメモリトラヒックを減少させ、アクセスの大幅な高速化を図ることができるキャッシュ装置の提供を目的としている。

【0009】

【課題を解決するための手段】 上記目的を達成するため、本発明は、主記憶装置に格納されるデータの一部を保持し、主記憶装置に代えて高速なアクセスが行われるキャッシュ装置において、主記憶装置に格納されるデータを、その格納領域のアドレスの少なくとも一部とともに保持する複数のエン트리と、前記エントリを複数のグループにグループ分けし、何れかのエントリグループを選択的にキャッシュ動作状態にする制御手段とを備えたことを特徴としている。

【0010】 また、前記制御手段は、さらに、同時にキャッシュ動作状態になるエントリグループの数を変更して、主記憶装置とエントリとのマッピング方式を切り換えるように構成されていることを特徴としている。

【0011】

【作用】上記の構成により、制御手段は、データとアドレスとを保持するエントリを複数のグループにグループ分けし、何れかのエントリグループを選択的にキャッシュ動作状態にする。また、制御手段は、さらに、同時にキャッシュ動作状態になるエントリグループの数を変更して、主記憶装置とエントリとのマッピング方式を切り換える。

【0012】

【実施例】以下、本発明の一実施例として、論理アドレスをタグとして主記憶装置とエントリとのマッピングがなされ、ライトスルー方式でデータの書き込みが行われる論理キャッシュ装置の例を図1ないし図3に基づいて説明する。図1はキャッシュ装置の構成図である。

【0013】このキャッシュ装置は、図示しないCPUから出力されるアドレスに基づき、そのうちのn0ビットをタグ情報、n1ビットをインデックス情報、n2ビットをワード選択情報として動作するようになっている。図1において、10は3つのキャッシュアレイ11～13が設けられて成るキャッシュメモリである。各キャッシュアレイ11～13は、それぞれ、アドレスのインデックス情報に基づいて択一的に選択される2^m個のエントリ111…～131…を有している。各エントリ111…～131…は、タグ情報を保持するタグ保持領域111a…～131a…、および各タグ保持領域111a…～131a…に対応して、それぞれ2^mワードのデータを保持するデータ保持領域111b…～131b…から成っている。ここで、以下の説明では、それぞれのタグ保持領域111a…・121a…・131a…を総称して、タグ部112・122・132、それぞれのデータ保持領域111b…・121b…・131b…を総称して、データ部113・123・133と称する。

【0014】21～23は後述するキャッシュ制御部71の制御に応じて、CPUから出力されたアドレスにおけるインデックス情報を上記タグ部112～132に選択的に出力するゲートである。31はキャッシュ制御部71の制御に応じて各キャッシュアレイ11～13のタグ部112～132と比較器41～43とを任意の組み合わせで接続するタグ部スイッチである。

【0015】41～43はタグ部112～132から出力されるタグ情報と、CPUから出力されたアドレスにおけるタグ情報とを比較して、一致している場合に一致信号を出力する比較器である。32は各比較器41～43から出力される一致信号の論理和をヒット信号として出力するOR回路32である。

【0016】51はキャッシュ制御部71の制御に応じて各キャッシュアレイ11～13のデータ部113～133とラッチ61～63とを任意の組み合わせで接続するデータ部スイッチである。61～63は、それぞれ、比較器41～43から一致信号が出力されるときに、対

応するデータ部113～133から出力されるデータをそのまま出力するラッチである。

【0017】71はゲート21～23、タグ部スイッチ31、データ部スイッチ51、およびキャッシュメモリ10の動作を制御するキャッシュ制御部である。上記キャッシュ制御部71は、より詳しくは図2に示すように、キャッシュ構成レジスタ711、プロセスマップ712、カレントプロセスレジスタ713、カレントキャッシュポインタレジスタ714、および制御回路715から構成されている。

【0018】キャッシュ構成レジスタ711は、CPU等から出力され、主記憶装置とエントリ111～131とのマッピング方式を示すキャッシュ構成情報を保持するものである。上記キャッシュ構成情報とマッピング方式との対応関係は、例えば図3に示すように設定されている。すなわち、キャッシュ構成情報の値が0である場合には、キャッシュアレイ11～13のうちの何れか1つをキャッシュ動作状態にしてダイレクトマップ方式でマッピングするとともに、コンテキストスイッチング時には、キャッシュ動作状態にするキャッシュアレイ11～13を切り換えることを示すようになっている。

【0019】キャッシュ構成情報の値が1である場合には、例えばキャッシュアレイ11・12を同時にキャッシュ動作状態にする2ウェイセットアソシアティブ方式でマッピングすることを示すようになっている。また、キャッシュ構成情報の値が2である場合には、キャッシュアレイ11～13を同時にキャッシュ動作状態にする3ウェイセットアソシアティブ方式でマッピングすることを示すようになっている。

【0020】プロセスマップ712は、それぞれキャッシュアレイ11～13に対応する3つのプロセス識別子レジスタ712a～712cを備え、それぞれのプロセス識別子レジスタ712a～712cにプロセス識別子が格納されているプロセスの実行時に、対応するキャッシュアレイ11～13がキャッシュ動作状態になることを示すようになっている。

【0021】カレントプロセスレジスタ713は、実行中のプロセスのプロセス識別子を保持するものである。カレントキャッシュポインタレジスタ714は、キャッシュ動作状態になっているキャッシュアレイ11～13を示すポインタを保持するものである。制御回路715は、CPU等から出力されるプロセス識別子、およびキャッシュ構成情報に応じて、上記各レジスタのセットを行うとともに、各レジスタのセット内容に基づいて、キャッシュ装置各部の動作を制御するようになっている。

【0022】上記の構成において、マッピング方式がダイレクトマップ方式の場合、2ウェイセットアソシアティブ方式の場合、および3ウェイセットアソシアティブ方式の場合に行われる動作を説明する。

(1)ダイレクトマップ方式の場合

CPUから、キャッシュ制御部71に値0のキャッシュ構成情報が入力されると、制御回路715は、まず、その値をキャッシュ構成レジスタ711に保持する。

(1-1) プロセスの実行時 (プロセスA)

次に、例えばプロセスAの実行を示すプロセス識別子

「pidA」が入力されると、制御回路715は、これをカレントプロセスレジスタ713に保持する。また、プロセスマップ712にプロセス識別子「pidA」が既に保持されているかどうかを調べ、保持されていないければ、そのプロセス識別子「pidA」を例えばプロセス識別子レジスタ712aに保持し、カレントキャッシュポインタレジスタ714に、キャッシュアレイ11をキャッシュ動作状態にすることを示すポインタとして例えば値1を保持する。

【0023】制御回路715は、また、上記ポインタに基づいて、ゲート21をアクティブ、ゲート22・23をインアクティブにするとともに、タグ部スイッチ31を介してキャッシュアレイ11のタグ部112と比較器41とを接続させ、また、データ部スイッチ51を介してデータ部113とラッチ61とを接続させることにより、キャッシュ動作にキャッシュアレイ11が用いられるようにする。

【0024】この状態で、データの読み出し、および書き込みの際には、次のような動作が行われる。まず、データの読み出しの場合には、CPUからメモリアクセスのためにアドレスが出力されると、そのアドレスにおけるインデックス情報はゲート21を介してキャッシュアレイ11に入力され、そのインデックス情報に対応するエントリ111のタグ保持領域111a、およびデータ保持領域111bに保持されているタグ情報、およびデータが、タグ部スイッチ31またはデータ部スイッチ51を介して比較器41またはラッチ61に入力される。

【0025】比較器41は、上記タグ保持領域111aから入力されたタグ情報と、CPUから出力されたアドレスにおけるタグ情報とを比較する。2つのタグ情報が一致していれば、比較器41は一致信号を出力し、この一致信号はOR回路32からヒット信号として出力される。また、上記一致信号に応じてラッチ61が開き、データ保持領域111bから出力されたデータが出力される。

【0026】また、上記2つのタグ情報が一致していなければ、OR回路32からはヒット信号が出力されず、また、ラッチ61からはデータが出力されない。この場合には、例えば図示しないメモリアクセス制御装置によって主記憶装置からデータが読み出され、CPUに入力されるとともに、キャッシュメモリ10に入力される。このデータは、アドレスにおけるタグ情報とともに、インデックス情報に対応するエントリ111のタグ保持領域111a、およびデータ保持領域111bに保持されることにより、次に同一のアドレスがアクセスされる際

にはキャッシュヒットとなるので、高速なアクセスが行われるようになる。

【0027】データの書き込みの場合には、読み出しの場合と同様に、CPUからのアドレスにおけるタグ情報と、インデックス情報に対応するエントリ111のタグ保持領域111aに保持されているタグ情報との比較が行われる。そして、一致している場合には、データだけが、上記エントリ111のデータ保持領域111bに書き込まれる一方、一致していない場合には、データとともにタグ情報が、データ保持領域111bおよびタグ保持領域111aに書き込まれる。

(1-2) 他のプロセス (プロセスB) が実行される場合。

【0028】次に、コンテキストスイッチングにより、例えばプロセスBの実行を示すプロセス識別子「pidB」がキャッシュ制御部71に入力されると、制御回路715は、前記プロセスAの場合と同様に、そのプロセス識別子「pidB」をカレントプロセスレジスタ713に保持するとともに、プロセスマップ712にプロセス識別子「pidB」が既に保持されているかどうかを調べ、保持されていないければ、そのプロセス識別子「pidB」を例えばプロセス識別子レジスタ712bに保持し、カレントキャッシュポインタレジスタ714に、キャッシュアレイ12をキャッシュ動作状態にすることを示すポインタとして例えば値2を保持する。

【0029】制御回路715は、また、上記ポインタに基づいて、ゲート22をアクティブ、ゲート21・23をインアクティブにするとともに、タグ部スイッチ31を介してキャッシュアレイ12のタグ部122と比較器42とを接続させ、また、データ部スイッチ51に、データ部123とラッチ62とを接続させることにより、キャッシュ動作にキャッシュアレイ12が用いられるようにする。

【0030】すなわち、キャッシュ動作状態になるキャッシュアレイが、キャッシュアレイ11からキャッシュアレイ12に切り換えられる。以下、データの読み出し、および書き込みは、上記プロセスAの場合と同様に行なわれるが、ミスヒットが生じる場合でも、キャッシュアレイ11の保持内容が変更されることはない。それゆえ、再度プロセスAが実行されるべくコンテキストスイッチングが行われた場合に、キャッシュミスが頻発することはない。

(1-3) さらに他のプロセス (プロセスC) が実行される場合。

【0031】さらに、コンテキストスイッチングにより、例えばプロセスCの実行を示すプロセス識別子「pidC」がキャッシュ制御部71に入力された場合にも、同様に、制御回路715は、プロセス識別子「pidC」をカレントプロセスレジスタ713、およびプロセスマップ712のプロセス識別子レジスタ712cに

保持し、カレントキャッシュポインタレジスタ714に、値3を保持する。

【0032】また、ゲート23がアクティブ、ゲート21・22がインアクティブにされるとともに、タグ部スイッチ31を介してキャッシュアレイ13のタグ部132と比較器43とを接続させ、また、データ部スイッチ51を介してデータ部133とラッチ63とを接続させることにより、キャッシュ動作にキャッシュアレイ13が用いられるようになって、キャッシュ動作状態になるキャッシュアレイが、キャッシュアレイ12からキャッシュアレイ13に切り換えられる。

【0033】そして、この場合にも、キャッシュアレイ11・12の保持内容はそのまま保存される。

(1-4) 再度プロセスAが実行される場合。
コンテキストスイッチングにより、再度、プロセスAの実行を示すプロセス識別子「pidA」がキャッシュ制御部71に入力された場合には、この識別子「pidA」は既にプロセスマップ712のプロセス識別子レジスタ712aに保持されているので、カレントプロセスレジスタ713に識別子「pidA」が保持されるとともに、カレントキャッシュポインタレジスタ714に値1が保持され、以下、前記(1-1)の場合と同じ動作が行われる。

(1-5) さらに他のプロセスが実行される場合。

【0034】上記のように、プロセスマップ712の各プロセス識別子レジスタ712a~712cにプロセス識別子が設定されている状態で、さらに他のプロセスへのコンテキストスイッチングが行われた場合には、プロセス識別子レジスタ712a~712cのうちの何れかが新たなプロセス識別子に書き換えられ、そのプロセス識別子レジスタ712a~712cに対応するキャッシュアレイ11~13の保持内容が無効化された後、同様の動作が行われる。

【0035】このように、コンテキストスイッチングが行われる場合でも、実行されるプロセスに対応するキャッシュアレイ11~13が存在する場合には、コンテキストスイッチングによるオーバーヘッドが生じないので、ミスヒットの発生頻度が低減され、メモリトラヒックは減少する。

(2) 2ウェイセットアソシアティブ方式の場合
CPUから、キャッシュ制御部71に値1のキャッシュ構成情報が入力されると、制御回路715は、まず、その値をキャッシュ構成レジスタ711に保持する。

【0036】この場合には、プロセス識別子が入力されると、制御回路715は、そのプロセス識別子を例えばプロセス識別子レジスタ712a・712bに保持し、カレントキャッシュポインタレジスタ714に、キャッシュアレイ11・12をキャッシュ動作状態にすることを示すポインタとして例えば値1および値2を保持する。

【0037】制御回路715は、また、上記ポインタに基づいて、ゲート21・22をアクティブ、ゲート23をインアクティブにするとともに、タグ部スイッチ31を介してキャッシュアレイ11・12のタグ部112・122と比較器41・42とをそれぞれ接続させ、また、データ部スイッチ51を介してデータ部113・123とラッチ61・62とをそれぞれ接続させることにより、キャッシュ動作にキャッシュアレイ11・12が同時に用いられるようにする。

10 【0038】この場合、例えばデータの読み出しが行われる際には、CPUから出力されるアドレスにおけるインデックス情報は、ゲート21・22を介してキャッシュアレイ11・12に入力され、インデックス情報に対応するそれぞれのエントリ111・121からタグ情報およびデータが出力され、比較器41・42またはラッチ61・62に入力される。

20 【0039】比較器41・42に入力されたタグ情報は、それぞれアドレスにおけるタグ情報と比較され、何れか一方が一致していれば、OR回路32からヒット信号が出力され、対応するデータがラッチ61またはラッチ62から出力される。また、ミスヒットが生じた場合には、前記ダイレクトマップ方式と同様の動作が行われる。

【0040】すなわち、前記ダイレクトマップ方式の場合に比べてヒット率が高くなるので、より高速なアクセスが行われるようになる。また、データの書き込みが行われる場合も、同様にエントリ111・121から出力されるタグ情報の何れか一方が一致していればよいので、同様に高速なアクセスが行われることになる。

30 【0041】なお、上記のように2ウェイアソシアティブ方式が選択される場合には、キャッシュアレイ13は使用されないようになっているが、これは、前記(1)の場合と同様に、コンテキストスイッチングが行われたときにダイレクトマップ方式でキャッシュ動作させるようにしてもよい。また、キャッシュアレイがさらに多く設けられている場合には、2ウェイアソシアティブ方式のキャッシュ動作をコンテキストスイッチングにより切り換えるようにするなどしてもよい。

(3) 3ウェイセットアソシアティブ方式の場合
40 CPUから、キャッシュ制御部71に値2のキャッシュ構成情報が入力されると、制御回路715は、その値をキャッシュ構成レジスタ711に保持し、プロセス識別子が入力されると、そのプロセス識別子を各プロセス識別子レジスタ712a~712cに保持し、カレントキャッシュポインタレジスタ714に、キャッシュアレイ11~13をキャッシュ動作状態にすることを示すポインタとして例えば値1ないし値3を保持する。

50 【0042】制御回路715は、また、上記ポインタに基づいて、全てのゲート21~23をアクティブにするとともに、タグ部スイッチ31を介してキャッシュアレイ

イ11～13のタグ部112～132と比較器41～43とをそれぞれ接続させ、また、データ部スイッチ51を介してデータ部113～133とラッチ61～63とをそれぞれ接続させることにより、キャッシュ動作に全てのキャッシュアレイ11～13が同時に用いられるようにする。

【0043】この場合には、比較器41～43に入力されたタグ情報のうちの何れか1つがアドレスにおけるタグ情報と一致していれば、OR回路32からヒット信号が出力され、対応するデータがラッチ61、ラッチ62、またはラッチ63から出力されるので、前記2ウェイアソシアティブ方式の場合よりもさらに高速なアクセスが行われるようになる。

【0044】上記のように、マッピング方式を柔軟に変更できるので、複数のプロセスがコンテキストスイッチングにより実行される場合には、キャッシュアレイの切り換えを行うことにより、コンテキストスイッチングによるオーバーヘッドが生じないようにして、各プロセスの処理の高速化を図ることができる一方、単独のプロセスが実行される場合には、複数のキャッシュアレイを用いることにより、さらに高速な処理を行わせることができる。

【0045】なお、上記実施例においては、タグ部スイッチ31を介してキャッシュアレイ11～13のタグ部112～132と比較器41～43とをそれぞれ接続させ、また、データ部スイッチ51を介してデータ部113～133とラッチ61～63とをそれぞれ接続させる例を示したが、これに限らず、タグ部112～132と比較器41～43等を直接、接続する一方、各比較器41～43等の出力の有無を制御するようにしてもよい。

【0046】

【発明の効果】以上説明したように、本発明によれば、データとアドレスとを保持するエントリを複数のグループにグループ分けし、何れかのエントリグループを選択

的にキャッシュ動作状態にする制御手段を備えることにより、例えばコンテキストスイッチング時に、キャッシュ動作状態にするエントリを切り換えて、コンテキストスイッチング前にアクセスされたデータをそのまま保存するとともに、コンテキストスイッチング後の処理に応じたエントリをキャッシュ動作状態にすることができるので、ミスヒットの発生頻度を低減してメモリトラヒックを減少させ、アクセスの大幅な高速化を図ることができるという効果を奏する。

- 10 【0047】また、制御手段が、さらに、同時にキャッシュ動作状態になるエントリグループの数を変更して主記憶装置とエントリとのマッピング方式を切り換えるように構成されていることにより、処理に応じたマッピング方式を選択し、各エントリにデータを効率よく保持させることができるので、一層、アクセスの高速化を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例に係るキャッシュ装置の構成を示すブロック図である。

- 20 【図2】同、キャッシュ制御部の詳細な構成を示すブロック図である。

【図3】同、キャッシュ制御部のキャッシュ構成レジスタに設定される値とマッピング方式との対応関係を示す説明図である。

【符号の説明】

| | |
|----------------|----------|
| 10 | キャッシュメモリ |
| 11、12、13 | キャッシュアレイ |
| 71 | キャッシュ制御部 |
| 111、121、131 | エントリ |
| 111a、121a、131a | タグ保持領域 |
| 111b、121b、131b | データ保持領域 |
| 112、122、132 | タグ部 |
| 113、123、133 | データ部 |

【図3】

| キャッシュ構成情報 | マッピング方式 |
|-----------|--------------------------------|
| 0 | ・ダイレクトマップ方式 ・コンテキストスイッチング対応 |
| 1 | 2ウェイセットアソシアティブ方式 |
| 2 | 3ウェイセットアソシアティブ方式 |

【図2】

